

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-132739

(43)公開日 平成6年(1994)5月13日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 03 F 3/343	A	8124-5J		
G 11 C 11/407				
H 03 F 3/345	B	8124-5J 6741-5L	G 11 C 11/34	3 5 4 F

審査請求 未請求 請求項の数1(全11頁)

(21)出願番号 特願平4-278575

(22)出願日 平成4年(1992)10月16日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 梶本毅

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社北伊丹製作所内

(72)発明者 宮元崇行

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社北伊丹製作所内

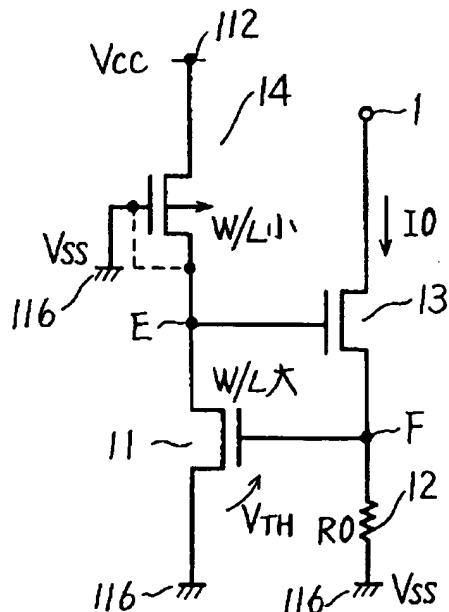
(74)代理人 弁理士 深見久郎(外3名)

(54)【発明の名称】 基準電流発生回路

(57)【要約】

【目的】 電源変動などの影響を受けることなく確実に一定の基準電流を供給することのできる基準電流発生回路を提供することを目的とする。

【構成】 基準電流発生回路は、常時オン状態とされ高抵抗の素子(14)から微小電流を発生する。この微小電流は、十分大きなゲート幅とゲート長の比を有する第1のMOSトランジスタ(11)に供給される。第1のMOSトランジスタのゲート-ソース電圧がそのしきい値電圧V_{TH}となり、第1のMOSトランジスタのゲートと接地線との間に接続された抵抗(12)に印加される電圧を一定値V_{TH}に設定する。これにより抵抗(12)には常時一定の基準電流(I₀)が流れる。常時オン状態となる高抵抗の素子からの微小電流は電源電圧の変動にかかわらず供給されるため、安定に一定の基準電流が発生される。



1

【特許請求の範囲】

【請求項1】 第1の電源に結合される一方端と、他方端とを有し、比較的小さな電流量を供給するための第1の抵抗性素子と、

前記第1の抵抗性素子の前記他方端に接続される一方導通端子と、第2の電源に結合される他方導通端子と、制御端子とを有し、比較的大きな電流量を供給することのできる第1の絶縁ゲート型電界効果トランジスタと、

前記第1の絶縁ゲート型電界効果トランジスタの前記制御端子に接続される一方端と、前記第2の電源に接続される他方端とを有する第2の抵抗性素子と、

前記第1の絶縁ゲート型電界効果トランジスタの前記一方導通端子に接続される制御電極と、前記第2の抵抗性素子の前記一方端に接続される一方導通端子と、出力ノードに接続される他方導通端子とを有する第2の絶縁ゲート型電界効果トランジスタとを含む、基準電流発生回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は半導体装置および半導体回路において基準電流を発生するための回路構成に関し、特に、基準電圧を発生するために利用される基準電流を発生するための回路構成に関する。より特定的には、DRAM (ダイナミック・ランダム・アクセス・メモリ) などの半導体記憶装置における電源電圧を降圧する内部降圧回路に利用される基準電流発生回路に関する。

【0002】

【従来の技術】 半導体回路および半導体記憶装置においては、様々な部分において一定の基準電流を発生する回路が利用される。このような基準電流発生回路は、基準電流に基づいて一定の基準電圧を発生するために用いられたり、差動増幅回路において入力信号の差動増幅のための電流供給源として利用されたり、また、高抵抗のトランジスタ負荷（いわゆる能動負荷）として利用される。

【0003】 このような基準電流発生回路を利用する回路部分の一つとしてDRAMの内部降圧回路がある。内部降圧回路は、外部から印加される電源電圧を降圧して内部電源電圧を生成する。このような内部降圧回路は以下のようない由により用いられる。

【0004】 DRAMの記憶容量はますます増大している。このようなDRAMの大記憶容量化は、素子の微細化技術による高密度および高集積化により実現される。このような微細化技術により、構成要素であるMOS（絶縁ゲート型電界効果）トランジスタのサイズは小さくなる。また、信号配線間および素子間を分離するための層間絶縁膜の膜厚も薄くなる。

【0005】 一方において、システム電源電圧を決定するマイクロプロセッサなどの論理LSI（大規模集積回

10

20

30

40

2

路）の微細化はDRAMほどではなく、比較的高い電圧が電源電圧として利用される。

【0006】 したがって、外部電源電圧をそのままDRAMなどの半導体記憶装置の構成要素へ印加した場合、MOSトランジスタの絶縁耐圧および層間絶縁膜の絶縁耐圧等の信頼性を確保するのが困難となる。このため、内部降圧回路を用いて外部電源電圧を降圧して内部電源電圧を生成する。これにより、微細化されたDRAMなどの半導体記憶装置の構成要素の信頼性を確保する。

【0007】 図10は、従来のDRAMの全体の構成を示す図である。図10において、DRAM100は、電源電圧ノード109を介して外部電源線112上へ与えられる外部電源電圧Vccを降圧して内部電源電圧Vddを内部電源線114上へ伝達する内部降圧回路102と、内部電源線114上の内部電源電圧Vddを動作電源電圧として動作する内部回路104と、外部電源線112上に与えられた外部電源電圧Vccを動作電源電圧として動作する外部電源使用回路106とを含む。

【0008】 内部降圧回路102、内部回路104および外部電源使用回路106へはまた、他方電源電圧（以下、単に接地電圧と称す）Vssが他方電源電圧ノード（以下、接地ノードと称す）110および他方電源線（以下、単に接地線と称す）116を介して与えられる。内部回路104は、少なくともメモリセルのアレイを含む。メモリセルは最も微細化されており、この部分へ高い電圧を印加することは信頼性の観点からできないためである。

【0009】 外部電源使用回路106は、装置外部とデータの入出を行なうデータ入出回路を含む。高速でデータの入出を行なうためおよび外部装置とのインターフェースをとるためである。アドレスデコーダ、制御回路などの周辺回路は外部電源使用回路106に含まれてもよく、また内部回路104に含まれてもよい。外部電源電圧Vccが印加されるMOSトランジスタはサイズを比較的大きくする必要があり、一方、比較的高い電圧で駆動されるMOSトランジスタは高速動作が可能である。両者を考慮して周辺回路を内部電源電圧Vddで駆動するか外部電源電圧Vccで駆動するかが決定される。

【0010】 内部降圧回路102は、内部回路104の動作の安定性を保証するために、安定に内部電源電圧Vddを発生することが要求される。このような内部降圧回路の構成としては、種々の構成が提案されている。

【0011】 図11は従来の内部降圧回路の構成の一例を示す図である。図11において、内部降圧回路102は、所定の基準電圧VREFを発生する基準電圧発生回路124と、基準電圧発生回路124からの基準電圧VREFを負入力に受け、内部電源線114上の内部電源電圧Vddを正入力に受ける差動増幅器122と、差動増幅器122の出力に応答して、外部電源線112から

3

内部電源線114上へ電流を供給するpチャネルMOSトランジスタ120を含む。

【0012】基準電圧発生回路124は、外部電源線112に結合されて一定の基準電流を発生する基準電流発生回路130と、基準電流発生回路130からの基準電流を動作電流として所定の基準電圧VREFを発生する定電圧ダイオード132を含む。定電圧ダイオード132は、基準電流発生回路130からの基準電流をツエナ電流として動作し、そのツエナ電圧に従って基準電圧VREFを発生する。次に図11に示す内部降圧回路102の動作について説明する。

【0013】差動増幅器122は基準電圧VREFと内部電源電圧Vddとを差動的に増幅する。内部電源電圧Vddが基準電圧VREFよりも高い場合、差動増幅器122の出力は所定のレベルよりも高くなる。これにより、pチャネルMOSトランジスタ120のコンダクタンスが小さくなり（またはゲート-ソース間電位差が小さくなり）、pチャネルMOSトランジスタ120を介して外部電源線112から内部電源線114へ伝達される電流量が少なくなる。これにより、内部電源電圧Vddの上昇が防止される。

【0014】基準電圧VREFよりも内部電源電圧Vddが低くなると、差動増幅器122の出力は所定のレベルよりも小さくなり、pチャネルMOSトランジスタ120のコンダクタンスが大きくなる。これにより、外部電源線112から内部電源線114へ供給される電流量が増大し、内部電源電圧Vddが上昇する。

【0015】すなわちこの内部降圧回路102は、基準電圧VREFとほぼ同じレベルの内部電源電圧Vddを発生する機能を備える。内部電源電圧Vddは内部回路の安定な動作のために、十分安定に保つことが要求される。このため、基準電流発生回路130は、安定に一定の基準電流を発生することが要求される。

【0016】図12は、従来の基準電流発生回路の構成を示す図である。この図12に示す基準電流発生回路は、たとえばPRグレイ他著、永田穂積他訳の「超LSIのためのアナログ集積回路設計技術（下）」（培風館発行）、第305頁ないし第307頁に記載されている。

【0017】図12において、基準電流発生回路130は、外部電源線112に結合されるソースとノードAに接続されるゲートとノードBに接続されるドレインとを有するpチャネルMOSトランジスタ154と、外部電源線112に接続されるソースとノードAに接続されるドレインとノードAに接続されるゲートとを備えるpチャネルMOSトランジスタ155と、ノードBに接続されるドレインとノードCに接続されるゲートと接地線116に接続されるソースとを備えるnチャネルMOSトランジスタ151と、ノードCと接地線116との間に接続される抵抗152と、ノードAに接続されるドレンとノードBに接続されるゲートとノードCに接続され

10

20

30

40

4

るソースとを備えるnチャネルMOSトランジスタ153と、外部電源線112に接続されるソースとノードAに接続されるゲートと山カノード157に接続されるドレインとを有するpチャネルMOSトランジスタ156を含む。

【0018】pチャネルMOSトランジスタ154および155はカレントミラー回路を構成し、またトランジスタ155とトランジスタ156とはカレントミラー回路を構成する。トランジスタ154および155はほぼ同一のサイズに作製され、カレントミラー効果により同一の電流量I0を供給する。

【0019】トランジスタ151のゲート幅Wとゲート長Lとの比、W/Lは大きい値に設定され、また抵抗152の抵抗値R0も大きな値に設定される。次に動作について説明する。

【0020】トランジスタ154および155はカレントミラー回路を構成しており、ノードAおよびノードBには同じ電流I0が流れる。ノードBを流れる電流I0はトランジスタ151を介して流れ、ノードAを流れる電流はトランジスタ153を介して抵抗152へ流れ。トランジスタ153は、抵抗152を流れる電流I0を一定に保つ機能を備える。すなわち、ノードCすなわち抵抗152を流れる電流I0が大きくなると、ノードCの電位が上昇し、トランジスタ151のコンダクタンスが大きくなり、ノードBの電位が低下する。これによりトランジスタ153のコンダクタンスが小さくなり、ノードCを流れる電流が小さくなる。逆に、ノードCを流れる電流が小さくなると、ノードCの電圧が低下し、トランジスタ121のコンダクタンスが小さくなり、ノードBの電位が上昇する。これによりトランジスタ153のコンダクタンスが大きくなり、ノードCへ大きな電流を供給する。

【0021】したがって、トランジスタ151を流れる電流と抵抗152を流れる電流とは等しくなる。

【0022】抵抗152の抵抗値R0は大きく設定されている。これにより、電流I0の値は小さくなる。すなわち、トランジスタ151を流れる電流も小さな値の微小電流に設定される。トランジスタ151のゲート幅とゲート長の比W/Lの値は大きく設定されている。この場合、次式。

$$gm = \mu n \cdot (W/L) C_{ox} \cdot V_{ds}$$

の関係式で与えられるトランジスタのコンダクタンスの値が比較的大きくなる。ここで μn は電子の移動度、 C_{ox} はゲート容量、 V_{ds} はドレイン-ソース間電圧を示す。

【0023】この場合、トランジスタ151は飽和領域で動作し($V_{ds} \geq V_{gs} - V_{thn}$)、トランジスタ151を流れる電流は、

$$I = (K/2) (V_{gs} - V_{thn})^2$$

で与えられる。ここで V_{gs} はゲート-ソース間電圧、 V_{thn} はしきい値電圧、Kは、 gm/V_{ds} で与えら

れる定数である。

【0024】したがって、電流 I_0 が十分小さな値に設定されているため、トランジスタ 151 のゲート-ソース間電圧 V_{ds} は、上述の電流を示す式からほぼしきい値 V_{TH} ($= V_{thn}$) で与えられ、抵抗 152 に与えられる電圧が MOS トランジスタ 151 のしきい値電圧 V_{thn} に等しくなる。したがって、抵抗 152 を流れる電流 I_0 は、 $V_{thn} = I_0 \cdot R_0 \sim V_{thn}$ より $I_0 = V_{thn} / R_0$ となる。抵抗値 R_0 やしきい値電圧 V_{thn} はそれ 10 ぞれ定数であるため、一定の基準電流 I_0 が発生される。

【0025】一方、トランジスタ 155 や 156 はカレントミラー回路を構成している。トランジスタ 156 のゲート幅とゲート長の比に従って所定の基準電流 I_1 がトランジスタ 156 から与えられる。すなわち、 $I_1 = I_0 \cdot (W_1 / L_1) / (W_0 / L_0)$ の関係式で表わされる一定の基準電流が与えられる。ここで、 W_1 / L_1 はトランジスタ 156 のゲート幅とゲート長の比を示し、 W_0 / L_0 はトランジスタ 155 の 20 ゲート幅とゲート長の比を示す。

【0026】したがって、一定の基準電流 I_1 を供給することにより、この一定の基準電流 I_1 に従って図 11 に示す定電圧ダイオード 132 へ一定のツエナ電流を動作電流として供給することができ、所定の基準電圧 V_{REF} が得られる。

【0027】

【発明が解決しようとする課題】図 12 に示す基準電流発生回路 130 の構成において、電源電圧 V_{CC} の変動などの原因によりノード A の電位が上昇し、トランジスタ 154 がオフ状態となる現象が観測された。これは、抵抗 152 の抵抗値が十分大きく設定されており、抵抗接続されたトランジスタ 155 における抵抗成分をほぼ無視することができるとして、このトランジスタ 155 における電圧降下を無視すると、トランジスタ 154 のゲート-ソース間電圧がトランジスタ 154 のしきい値電圧よりも大きくなるためである（トランジスタ 154 のしきい値電圧は負の電圧である）。またトランジスタ 155 がダイオード接続されており、その順方向降下電圧を無視できない場合においても、電源電圧 V_{CC} がバルス状に変動した場合、ノード A の電位は上昇し、このノード A の電位は大きな抵抗値 R_0 を有する抵抗 152 を介して放電されるため、ノード A の電位 V_A は、 $V_{CC} - VA > |V_{thp}|$

となる関係を満たすことになり、トランジスタ 154 がオフ状態となる。このトランジスタ 154 がオフ状態となる現象は、ノード B の電位の下降（トランジスタ 151 による放電）、トランジスタ 153 のオフ状態、ノード C の電位の下降（抵抗 152 による放電）、トランジスタ 151 のオフ状態となる一連の動作のトリガとな 50

る。この結果、ノード A の電位は “H”（ダイオード接続されたトランジスタ 155 による充電）ならびにノード B や C の電位が “L” となる。最終的に、トランジスタ 151 ～ 156 すべてがオフ状態となる状態に落着き、基準電流発生回路として動作しなくなるという問題がある。

【0028】また、半導体記憶装置などの半導体装置は動作温度に対しある範囲（たとえば 0 ～ 70°C）が認められている。この場合、各素子の動作特性は温度に従つて変化する。

【0029】図 13 は、たとえばポリシリコンで形成される抵抗（152）の温度依存性と MOS トランジスタのしきい値電圧の温度依存性を示す図である。図 13 において、横軸は温度 T を示し、縦軸に抵抗値 R やしきい値電圧 V_{TH} を示す。直線 R_0 は、たとえばポリシリコンである抵抗の抵抗値の変化を示し、直線 V_{th} は、n チャンネル MOS トランジスタのしきい値電圧 V_{th} の変化を示す。図 13 に示すように、抵抗（152）の抵抗値 R_0 は、正の温度係数を有しており、温度上昇とともにその抵抗値が増大する。一方、MOS トランジスタのしきい値電圧 V_{th} は負の温度係数を有し、温度上昇とともに低下する。

【0030】この場合、図 12 に示す基準電流発生回路において、抵抗 152 を流れる電流 I_0 は V_{thn} / R_0 で与えられる。したがって、温度上昇とともに基準電流発生回路が発生する電流 I_0 や I_1 は、図 14 に示すように温度上昇とともに低下する。ここで、図 14 は横軸に温度 T を示し、縦軸に基準電流発生回路が供給する電流量 I を示す。ここで、図 13 や図 14 に示す直線は、温度依存性を誇張して示している。

【0031】したがって、基準電流発生回路が発生する基準電流 I_0 や I_1 が温度上昇とともに低下するため、図 11 に示す基準電圧発生回路において正確な基準電圧を発生することができなくなり、内部降圧回路から発生される内部電源電圧 V_{dd} の値も温度とともに変動することになり、内部回路が安定に動作しなくなるという問題が生じる。

【0032】図 15 は、定電圧ダイオードの温度依存性を示す。図 15 において、横軸はツエナ電圧を示し、縦軸にツエナ電圧の温度係数を示す。各曲線は、各ツエナ電流（動作電流）におけるツエナ電圧 V_z の温度依存性を示す。定電圧ダイオードは、逆バイアス条件下である一定量の電流が供給された場合、その端子間電圧が一定になるという特性を有する。定電圧ダイオードは、約 6 ボルトを境として、温度係数の符号が異なる。すなわち、ツエナ電圧 V_z が 6 V 以上の場合には、正の温度係数を有し、ツエナ電圧が 6 V よりも小さい場合には負の温度係数を備える。これは、低いツエナ電圧においてはツエナ降伏機構が支配的であり、ツエナ電圧の高いものは電子なだれ機構が支配的になることによる。

7

【0033】半導体記憶装置の内部降圧回路においては、通常3.3Vの内部電源電圧が発生される。ツエナ電圧 V_z としては、この値よりも低いものか同程度のものが必要とされる。この場合定電圧ダイオードの与えるツエナ電圧は負の温度係数を有する。すなわち温度上昇に伴ってツエナ電圧は減少する。順方向バイアスされたダイオードを付加することにより温度補償することはできる。しかし、基準電流発生回路からの基準電流が動作電流として定電圧ダイオード132へ供給されるが、温度上昇に伴って基準電流I1が減少した場合、この動作電流の変化に伴ってツエナ電圧 V_z の温度係数も異なる。したがって、たとえ温度補償された定電圧ダイオードであっても、その動作電流が変化するため十分に温度補償することができず、図16に示すように、基準電圧発生回路から発生される基準電圧 V_{REF} が温度上昇とともに変化する（図16については低下する場合を示す）状態が生じ、安定に一定レベルの内部電源電圧を発生することができなくなるという問題が生じる。

【0034】ここで、図16においては横軸に温度Tを示し、縦軸に内部基準電圧発生回路から発生される基準電圧 V_{REF} を示す。

【0035】それゆえ、この発明の目的は電源電圧の変動が発生した場合においても安定に基準電流を供給することのできる基準電流発生回路を提供することである。

【0036】この発明の他の目的は、広い温度範囲にわたって安定に基準電流を供給することのできる基準電流発生回路を提供することである。

【0037】この発明のさらに他の目的は、動作環境が変動しても安定に基準電圧を発生することができる、基準電圧発生用に利用される基準電流発生回路を提供することである。

【0038】
【課題を解決するための手段】この発明に係る基準電流発生回路は、抵抗素子両端に印加される電圧を自身のしきい値電圧に保持するためのトランジスタへの電流供給源として、常時オン状態とされた高抵抗素子を用いる。

【0039】すなわち、この発明に係る基準電流発生回路は、第1の電源に結合される一方端と他方端とを有し、比較的小さな電流量を供給するようにされた第1の抵抗性素子と、この第1の抵抗性素子の他方端に接続される一方導通端子と、第2の電源に結合される他方導通端子と、制御端子とを有し、比較的大きな電流量を供給するようにされた第1の絶縁ゲート型電界効果トランジスタと、この第1の電界効果トランジスタの制御端子に接続される一方端と、第2の電源に接続される他方端と*

$$I = (W/L) \cdot \mu n \cdot C_{ox} (V_{gs} - V_{thn})^2 / 2,$$

からトランジスタ11のゲート-ソース間電圧はほぼしきい値電圧 V_{TH} ($= V_{thn}$) に等しくなる。すなわちノードFの電位レベルはトランジスタ11のしきい値電圧 V_{TH} と等しくなる。したがって、抵抗12には一

定の電流、

$$I_0 = V_{th} / R_0,$$

が流れる。ここで R_0 は抵抗12の抵抗値である。

【0044】トランジスタ13は飽和領域で動作する。

8

*を有する第2の抵抗性素子と、第1の電界効果トランジスタの一方導通端子に接続される制御電極と、第2の抵抗性素子の他方端に接続される一方導通端子と、出力ノードに接続される他方導通端子とを有する第2の絶縁ゲート型電界効果トランジスタとを含む。

【0040】

【作用】第1の抵抗性素子は電源変動等においても常時第1の電界効果トランジスタに微小電流を供給し続けることができ、これにより第1の電界効果トランジスタの制御電極と他方導通端子との間の電圧は一定値に保持され、第2の抵抗性素子に印加される電圧が一定値に保持される。それにより電源変動等においても安定に基準電流を発生させることができる。

【0041】

【実施例】図1はこの発明の一実施例である基準電流発生回路の構成を示す図である。図1において、基準電流発生回路は、そのソースが外部電源線112に接続され、そのドレインがノードEに接続され、そのゲートが接地線116に接続されるpチャネルMOSトランジスタ14と、そのドレインがノードEに接続され、そのゲートがノードFに接続され、そのソースが接地線116に接続されるnチャネルMOSトランジスタ11と、ノードFと接地線116との間に接続される抵抗12と、そのドレインが出力ノード1に接続され、そのゲートがノードEに接続され、そのソースがノードFに接続されるnチャネルMOSトランジスタ13を含む。

【0042】pチャネルMOSトランジスタ14は、そのゲート幅Wとゲート長Lとの比、 W/L が十分小さな値（たとえば数百分の1）に設定され、nチャネルMOSトランジスタ11はそのゲート幅とゲート長の比 W/L が十分大きな値（約数百程度）に設定される。pチャネルMOSトランジスタ14は、そのゲートが接地線116に接続されており、常時オン状態であり、そのコンダクタンスは小さく、微小電流（約数 μA 程度）を供給する。次に動作について説明する。

【0043】トランジスタ14は、そのゲートが接地電位 V_{ss} の電位レベルであるため、電源電圧 V_{cc} よりも十分低い値であり、常時オン状態である。これにより、トランジスタ11へは、トランジスタ14を介して常時微小電流が供給される。トランジスタ11は飽和領域で動作し、そのゲート幅とゲート長の比 W/L が十分大きな値に設定されており十分大きなコンダクタンスを備えている。そのため、飽和動作時におけるドレイン電流の関係式、

トランジスタ14のW/Lが十分小さく、トランジスタ11のW/Lが十分大きいため、ノードEの電圧は十分低い（係数W/LはMOSトランジスタのコンダクタンスに関係付けられることに注目）。したがってトランジスタ13は、
 $V_d \geq V_g - V_{thn}$

という飽和領域で動作する条件を満足している。したがって、トランジスタ13は出力ノード1の電圧（ドレン電圧）にかかわらず一定の電流I0を供給する。このトランジスタ13はまた別の観点から、フィードバック機能により一定電流を供給すると考えることもできる。すなわち、出力ノード1の電流I0が大きくなつた場合、ノードFの電位が上昇する。それによりトランジスタ11のコンダクタンスが大きくなり、ノードEの電位が低下し、トランジスタ13のコンダクタンスが小さくなり、ノードFへ供給される電流量を低減する。逆に、電流I0が小さくなると、ノードFの電位が低下し、トランジスタ11のコンダクタンスが小さくなり、ノードEの電位が上昇する。これによりトランジスタ13のコンダクタンスが大きくなりノードFへ供給される電流量を増加させる。この動作により、抵抗R2を流れる電流を一定値に保持する。したがって、このトランジスタ13の機能により、出力ノード1における電位および電流変化にかかわらず常時安定に一定の基準電流I0を供給することができる。

【0045】図2は、この発明の他の実施例である基準電流発生回路の構成を示す図である。図2において、基準電流発生回路は、外部電源線112にそのソースが接続され、そのドレインがノードGに接続され、そのゲートがノードHに接続されるPチャネルMOSトランジスタ31と、ノードGにそのドレインが接続され、そのソースが接地線116に接続され、そのゲートが外部電源線112に接続されるnチャネルMOSトランジスタ34と、ノードGにそのゲートが接続され、そのソースがノードIIに接続され、そのドレインが出力ノード3に接続されるpチャネルMOSトランジスタ33と、ノードHと外部電源線112との間に接続される抵抗R2とを含む。

【0046】トランジスタ31のゲート幅とゲート長の比W/Lは十分大きな値（約数百程度）に設定され、トランジスタ34のゲート幅とゲート長の比W/Lは十分小さな値（約数百分の1程度）に設定される。トランジスタ34はゲートが外部電源線112に接続されており、常時オン状態であり、微小電流（約数μA程度）を常時供給する。

【0047】図2に示す基準電流発生回路は図1に示す基準電流発生回路のMOSトランジスタの極性を反転するとともに電源電圧の極性をも反転することにより実現される。したがって動作は図1に示す基準電流発生回路と同じである。すなわちこの場合、抵抗R2に一定電流

$I_0 = V_{TH} (= -V_{thp}) / R_0$ 、
が流れる。ここで、 V_{thp} はMOSトランジスタ31のしきい値電圧であり、負の値である。

【0048】トランジスタ33は、図1に示すトランジスタ13と同様出力ノード3の電位変動を吸収するために設けられたフィードバックトランジスタであり、飽和領域で動作することにより出力ノード3の電位によらず一定電流I0を出力ノード3に供給する。ここで、トランジスタ33のゲート（ノードG）の電位は、トランジスタ34のゲート幅とゲート長の比W/Lが十分小さな値に設定されており、トランジスタ31のゲート幅とゲート長の比W/Lが十分大きな値に設定されているため、ノードGの電位レベルは十分高い電圧レベルとなり、トランジスタ33は確実に飽和領域で動作する。

【0049】図3はこの発明のさらに他の実施例である基準電流発生回路の構成を示す図である。図3に示す基準電流発生回路は図1に示す基準電流発生回路の出力ノード1にさらにカレントミラー回路を構成するpチャネルMOSトランジスタ25および26を付加したものである。図1に示す基準電流発生回路と対応する構成要素には同一の参照番号を付し、その詳細説明は省略する。図3において、pチャネルMOSトランジスタ25は、そのゲートおよびドレインが出力ノード1に接続され、そのソースが外部電源線112に接続される。MOSトランジスタ26は、そのソースが外部電源線112に接続され、そのゲートがノード1に接続され、そのドレンが出力ノード2に接続される。トランジスタ11～14および抵抗R2による回路部分の動作は図1に示す基準電流発生回路のそれと同一である。トランジスタ25および26はカレントミラー動作により、

$I_1 = I_0 \cdot (W_{26}/L_{26}) / (W_{25}/L_{25})$
で与えられる電流を出力ノード2に供給する。ここでW25およびL25はトランジスタ25のゲート幅およびゲート長をそれぞれ示し、W26およびL26はトランジスタ26のゲート幅およびゲート長をそれぞれ示す。

【0050】この図3に示す基準電流発生回路において電源電圧 V_{cc} が変動し、ノード1の電位が上昇した場合においても、トランジスタ13はこの電位上昇にかかわらず一定の電流I0を抵抗R2へ供給するため、ノード1の電位上昇は速やかに吸収され、トランジスタ26がオフ状態に移行することなく、安定に一定の基準電流I1を供給することができる。

【0051】図4はこの発明のさらに他の実施例である基準電流発生回路の構成を示す図である。図4に示す基準電流発生回路は図2に示す基準電流発生回路に出力ノード3に対しさらにカレントミラー回路を構成するnチャネルMOSトランジスタ45および46を付加したものである。トランジスタ45はこのゲートおよびドレンがノード3に接続され、そのソースが接地線116に接続される。トランジスタ46はそのゲートがノード3

11

に接続され、ソースが接地線 116 に接続され、ドレンが出力ノード 4 に接続される。図 4 に示す基準電流発生回路は、図 3 に示す基準電流発生回路の MOS トランジスタの極性を反転させることにより実現される。したがってその動作は図 3 に示す基準電流発生回路と同様である。この場合においても、トランジスタ 46 のゲート幅とゲート長の比とトランジスタ 45 のゲート長およびゲート幅の比により決定される基準電流 I 1 が得られる。

【0052】図 1 ないし図 4 に示す基準電流発生回路においては、高抵抗素子として係数 W/L が十分小さな MOS トランジスタのゲートを電源電圧 Vcc または接地電位 Vss に接続することにより実現している。MOS トランジスタのゲート電位を電源電圧 Vcc または接地電位 Vss に接続せずに、ゲートとドレンを接続し、抵抗として機能させるように構成してもよい。この場合、微小電流を供給するために要求される電流制限効果はより改善される。抵抗接続された MOS トランジスタにおける電圧降下がそのしきい値電圧 VTH 程度生じ、また抵抗に一定の電圧を印加するためのトランジスタのソース-ゲート間電圧がしきい値電圧 VTH であるため、そのドレン電圧としてしきい値電圧 VTH 以上が要求される。したがって、外部電源電圧 Vcc としては 3・VTH 以上の値が要求される。具体的に説明すると、たとえば図 1 に示す基準電流発生回路の構成において、トランジスタ 14 を破線で示すようにゲートとドレンとを接続して抵抗接続構成とした場合、トランジスタ 14 における電圧降下がしきい値電圧 VTH、トランジスタ 11 のゲート-ソース間電圧がしきい値電圧 VTH である。トランジスタ 13 を飽和領域で動作させるために、ノード E とノード F の電位差はトランジスタ 13 のしきい値電圧以上必要とされる。すなわちノード E の電位レベルは 2VTH 以上要求される。したがって電源電圧 Vcc として 3・VTH 以上必要とされる。

【0053】さらに、微小電流を供給するための高抵抗性素子として、MOS トランジスタ (14, 34) に代えて拡散抵抗またはポリシリコン抵抗のような抵抗素子を利用することもできる。微小電流を供給するような抵抗値に設定されればよい。

【0054】さらに図 1 ないし図 4 に示す基準電流発生回路は、外部電源電圧から内部降圧された電源電圧を発生する内部降圧回路に利用されるように示されている。しかしながらこの基準電流発生回路は任意の半導体装置および半導体回路において一定の基準電流が要求される回路部分に適用することができる。

【0055】図 5 はこの発明による基準電流発生回路を用いた基準電圧発生回路の構成を示す図である。この基準電圧発生回路は内部降圧回路に利用されてもよく、また他の回路部分において基準電圧が必要とされる部分に用いられてもよい。

10

12

【0056】図 5において、基準電圧発生系は、基準電流を発生する回路部分 200 と、この基準電流に従って所定の基準電圧 VREF を発生する回路部分 210 とを含む。

【0057】基準電流発生回路部分 200 は、抵抗素子 51 の構成を除いて図 4 に示す基準電流発生回路と同様の構成を備える。抵抗素子 51 はその抵抗値がトリミング可能である。他の部分は図 4 に示す基準電流発生回路と同様であり、対応する部分には同様の参照番号を付す。

【0058】基準電圧を発生する回路部分 210 は、基準電流発生回路部分 200 の出力ノード 4 にカレントミラー回路を構成するように接続された p チャネル MOS トランジスタ 53 および 54 と、トランジスタ 54 から電流 I 2 を供給されて一定の基準電圧 VREF を出力ノード 5 に発生する抵抗素子として機能する、その抵抗値がトリミング可能な p チャネル MOS トランジスタ 57 を含む。MOS トランジスタ 57 はそのゲート幅とゲート長の比 W/L が十分小さくされている。この MOS トランジスタ 57 が抵抗として機能することによりトランジスタ 54 から供給される一定の基準電流 I 2 とその抵抗値との比で与えられる基準電圧 VREF を発生する。

【0059】各回路部分の動作は既に説明した基準電流発生回路のものと同様であり、その詳細動作説明は繰り返さない。次にこのトリミング可能な抵抗素子 51 およびトリミング可能な抵抗値を備える MOS トランジスタ 57 の構成について説明する。

【0060】図 6 は図 5 に示すトリミング可能な抵抗素子 51 の具体的構成例を示す図である。図 6 において、トリミング可能な抵抗素子 51 は、電源線 112 とノード H との間に直列に接続される抵抗素子 r1～r4 と、抵抗 r2～r4 と並列に接続される溶断可能なリンク素子 f1～f3 を含む。リンク素子 f1～f3 は、たとえばレーザなどで溶断が可能なヒューズ素子で形成される。r1～r4 はたとえばポリシリコンで構成される。次にこのトリミング可能な抵抗素子 51 のトリミングについて説明する。

【0061】半導体装置（たとえば半導体記憶装置）の製造後各種試験が行なわれる。この場合所定の基準電圧 VREF が発生しているか否かの検査も併せて実行される。この検査時においてはリンク素子 f1～f3 は接続状態にある。したがって抵抗 r2～r4 はリンク素子 f1～f3 により短絡されており抵抗素子 51 の抵抗値は抵抗 r1 により与えられる。

【0062】今試験時において、基準電圧 VREF が所定の基準レベルよりも高い場合にリンク素子の溶断が行なわれる。これにより、抵抗素子 51 において電源線 112 と出力ノード H に接続される抵抗の値が増加し、その抵抗値が大きくなる。これにより、ノード H（図 5 参照）を流れる電流 I 0 の値が小さくなる ($I_0 = VTH$)

50

13

/R0の関係より)。

【0063】基準電流I0が小さくなることにより、図5に示す構成においてトランジスタ54が供給する基準電流I2の値も小さくなり、応じて基準電圧VREFの電位レベルが低下する。これにより所定の電圧レベルよりも高い基準電圧VREFが所望の値に修正される。次に抵抗素子として機能するMOSトランジスタ57のトリミングについて説明する。

【0064】図7は、トリミング可能なMOSトランジスタ57の構成例を示す図である。図7において、トリミング可能なMOSトランジスタ57は、出力ノード5と接地線116との間に直列に接続されるpチャネルMOSトランジスタM1～M4と、MOSトランジスタM2～M4とそれぞれ並列に接続される溶断可能なリンク素子L1～L3を含む。MOSトランジスタM1～M4のゲートはそれぞれ接地線116に接続される。またMOSトランジスタM1～M4のゲート幅とゲート長の比W/Lは十分小さな値に設定され、MOSトランジスタM1～M4は抵抗素子として機能する。MOSトランジスタM1～M4の基板(またはウェル領域)は出力ノード5に共通に接続される。基板を基準電圧VREFでバイアスすることによりMOSトランジスタM1～M4の動作の安定化を図る。

【0065】製造完了時においては、リンク素子L1～L3は接続状態にある。この状態においては、出力ノード5と接地線116との間にはMOSトランジスタM1による抵抗成分が存在するのみである。このMOSトランジスタM1～M4のゲート幅およびゲート長W/Lは小さい値に設定されている。トランジスタ54からの一定の基準電流I2に従って、その抵抗成分に従った基準電圧VREFを発生する。

【0066】試験時において、この基準電圧VREFが所定の電位レベルよりも低いと判断された場合、リンク素子L1～L3のうちの適当なものがたとえばレーザブロー等により溶断される。これにより出力ノード5と接地線116の間に接続される抵抗成分(MOSトランジスタによる)が大きくなり、基準電圧VREFの電位レベルが上昇する。これにより所定のレベルよりも低かった基準電圧を所定レベルに設定することができる。この図6および図7に示すリンク素子f1～f3およびL1～L3の溶断は、半導体記憶装置の場合ワード線およびビット線の救済時に行なわれるレーザブローと同一工程で実行される。次にこのトリミング可能な抵抗素子51とトリミング可能なMOSトランジスタ57両者を用いることの利点について説明する。

【0067】図8は、ポリシリコン抵抗およびMOSトランジスタによる抵抗の抵抗値の温度依存性とMOSトランジスタのしきい値電圧の温度依存性を示す図である。横軸に温度を示し、縦軸に抵抗値およびしきい値電圧を示す。直線MOSはMOSトランジスタの抵抗値の

10

20

30

40

14

温度依存性を示し、直線Pol yは、ポリシリコンによる抵抗の抵抗値の温度依存性を示す。直線VthはMOSトランジスタのしきい値電圧の温度依存性を示す。この図8に示すように、ポリシリコン抵抗およびMOSトランジスタによる抵抗はともに正の温度係数を有しており、温度上昇とともに抵抗値が大きくなる。MOSトランジスタの抵抗成分の温度係数はポリシリコン抵抗の温度係数よりも大きい。MOSトランジスタのしきい値電圧VTHは負の温度係数を有しており、温度上昇とともにしきい値電圧は低下する。したがって、この図5に示す構成において、温度が上昇した場合、トリミング抵抗素子51の抵抗値が上昇し、一方しきい値電圧VTHは低下する。ノードHを流れる基準電流I0はVTH/R0で与えられるため、結果として、基準電流I0の値が小さくなる。このとき、MOSトランジスタ57の抵抗成分は温度に従って上昇している。このときMOSトランジスタ57の抵抗成分の温度上昇はトリミング可能な抵抗素子51の抵抗値の温度上昇よりも大きい。したがって基準電流I0が低下してもMOSトランジスタの抵抗成分の増加により基準電圧VREFは温度にかかわらずほぼ一定の値に設定することができる。一般に内部回路を構成する要素であるMOSトランジスタの動作速度は温度上昇とともに少し遅くなる。この動作速度の低下を基準電圧VREFを少し上昇させることにより補償する。すなわち、MOSトランジスタ57の温度上昇による基準電圧VREFの上昇への寄与をトリミング抵抗51の抵抗値の増加としきい値電圧VTHの低下による基準電流の低下が基準電圧VREFに及ぼす寄与よりも少し大きくなる。この範囲は、温度上昇に伴って内部電源電圧を0.1ないし0.2V上昇させる程度に設定される。

【0068】これにより図9に示すように、温度上昇に伴って基準電圧VREFを少し(0.1～0.2V程度)上昇させることができ、温度上昇時においても内部回路の動作特性を損うことなく確実に内部回路を動作させることができる。この場合基準電圧発生用にMOSトランジスタに代えてポリシリコン抵抗を用いればこのような温度補償を行なうことができない。図5に示すようにたとえばポリシリコンである抵抗とMOSトランジスタによる抵抗成分両者を組合せて用いることにより確実に温度補償を施された基準電圧VREFを発生することができる。

【0069】なお上記実施例においては、基準電圧発生回路は内部降圧された電源電圧を発生するために利用されている。しかしながら、この基準電圧は他の回路部分に利用されてもよく、一定の基準電圧が必要とされる回路部分に利用されてもよい。外部電源電圧から基準電流および基準電圧を発生するのではなく、内部動作電源電圧からこれらが発生されてもよい。

50 【0070】

【発明の効果】以上のようにこの発明によれば、常時微小電流をMOSトランジスタへ供給することにより抵抗素子に所定の電圧（MOSトランジスタのしきい値電圧）を印加するように構成したため、電源変動などの影響を受けることなく確実に一定の基準電流を供給することができる。また、この抵抗素子と出力ノードとの間に飽和領域で動作するMOSトランジスタを設けているため、出力ノードの電位変動にかかわらず安定に一定の基準電流を供給することができる。

【図面の簡単な説明】

【図1】この発明の一実施例である基準電流発生回路の構成を示す図である。

【図2】この発明の他の実施例である基準電流発生回路の構成を示す図である。

【図3】この発明のさらに他の実施例である基準電流発生回路の構成を示す図である。

【図4】この発明のさらに他の実施例である基準電流発生回路の構成を示す図である。

【図5】この発明による基準電流発生回路を利用した基準電圧発生回路の構成を示す図である。

【図6】図5に示すトリミング可能な抵抗素子の具体的構成例を示す図である。

【図7】図5に示すトリミング可能なMOSトランジスタの具体的構成例を示す図である。

【図8】MOSトランジスタ、ポリシリコン抵抗の抵抗値およびMOSトランジスタのしきい値電圧の温度依存性を示す図である。

【図9】図5に示す基準電圧発生回路から発生される基準電圧の温度依存性を示す図である。

【図10】一般的な半導体記憶装置の全体の構成を示す図である。

【図11】図10に示す内部降圧回路の具体的構成例を

示す図である。

【図12】図11に示す定電流源の具体的構成例を示す図である。

【図13】ポリシリコン抵抗の抵抗値とMOSトランジスタのしきい値電圧の温度依存性を示す図である。

【図14】従来の基準電流発生回路における基準電流の温度依存性を示す図である。

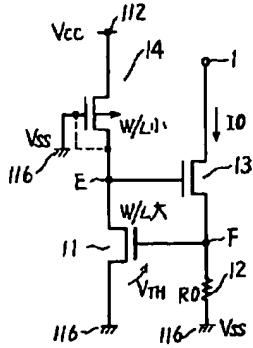
【図15】一般的な定電圧ダイオードの温度依存性を示す図である。

【図16】従来の基準電圧発生回路における基準電圧の温度依存性を示す図である。

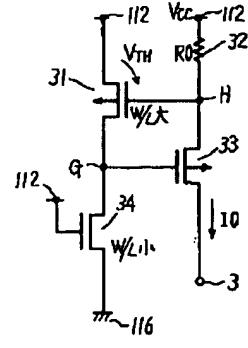
【符号の説明】

- | | |
|-----|-------------------|
| 1 | 出力ノード |
| 2 | 出力ノード |
| 3 | 出力ノード |
| 4 | 出力ノード |
| 11 | MOSトランジスタ |
| 12 | 抵抗素子 |
| 13 | MOSトランジスタ |
| 14 | MOSトランジスタ |
| 25 | MOSトランジスタ |
| 26 | MOSトランジスタ |
| 31 | MOSトランジスタ |
| 32 | 抵抗 |
| 33 | MOSトランジスタ |
| 34 | MOSトランジスタ |
| 45 | MOSトランジスタ |
| 46 | MOSトランジスタ |
| 51 | トリミング可能な抵抗素子 |
| 57 | トリミング可能なMOSトランジスタ |
| 200 | 定電流発生回路部分 |
| 210 | 定電圧発生回路部分 |

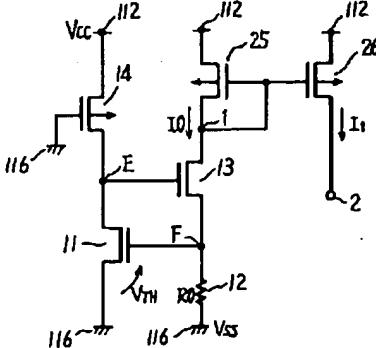
【図1】



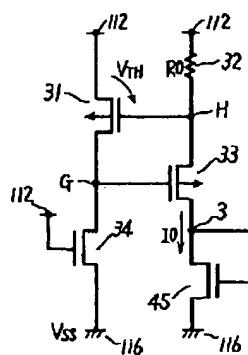
【図2】



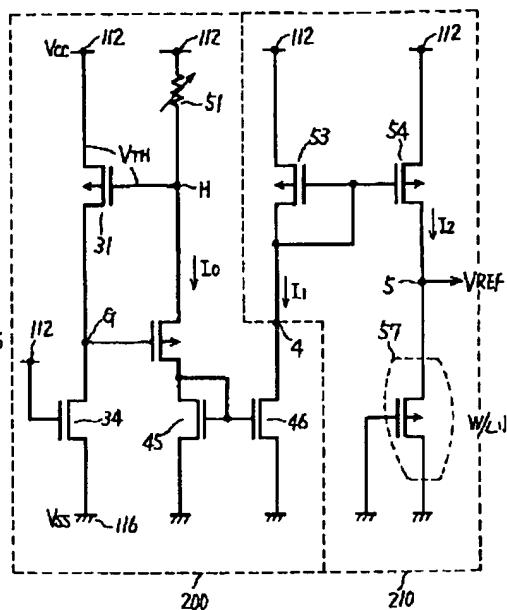
【図3】



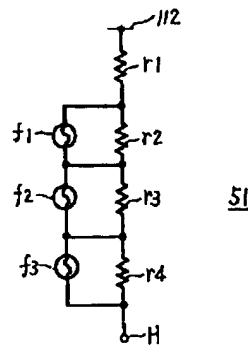
【図4】



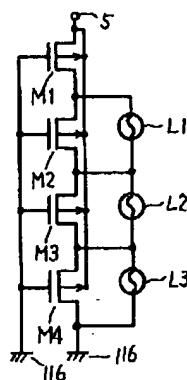
【図5】



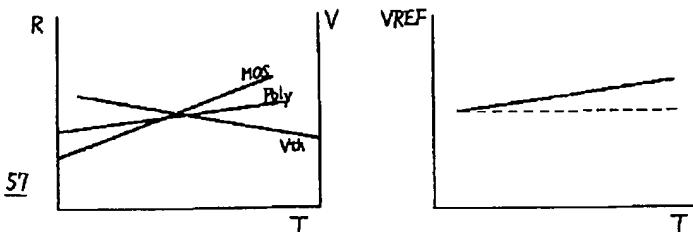
[圖6]



[图 7]

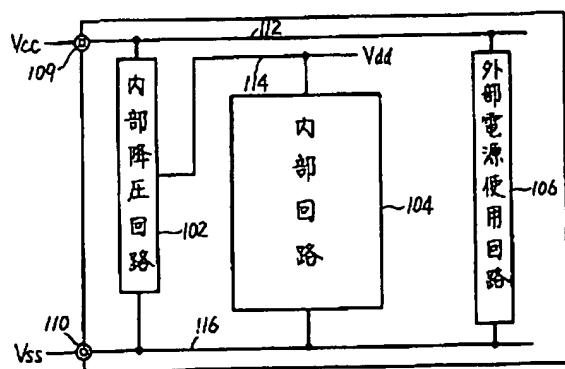


[図8]



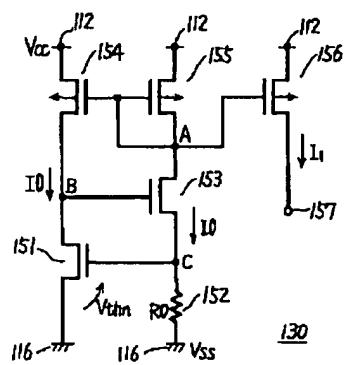
[図11]

〔図10〕



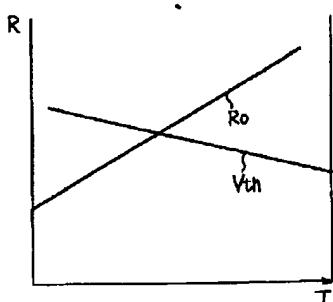
The circuit diagram shows a voltage-controlled voltage source (Vcvs). A reference voltage V_{REF} is applied to the non-inverting input ($+V$) of an operational amplifier (op-amp) labeled 122. The inverting input ($-V$) is connected to ground through a resistor labeled 130. The output of the op-amp is connected to the drain of a MOSFET labeled 120, which is connected between the output node and ground. The gate of the MOSFET is connected to the output of the op-amp and also receives a signal from a diode-connected transistor labeled 132. The source of the MOSFET is connected to ground. The output node is labeled V_{DD} . A feedback path is provided by a resistor labeled 124, which connects the output node back to the inverting input of the op-amp. The current through this feedback resistor is controlled by a diode-connected transistor labeled 116. The drain of this transistor is connected to the output node, and its source is connected to ground. The gate of this transistor is connected to the output node and also receives a signal from the diode-connected transistor labeled 132.

【図12】

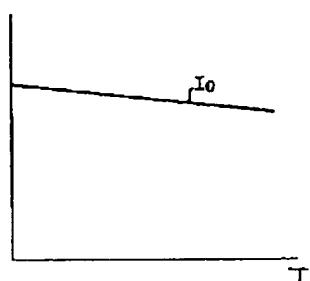


【図15】

【図13】



【図14】



【図16】

